



(3,000円)

特 許 願 27

昭和48年9月12日

特許庁長官殿

発明の名称 半導体装置の製造方法

発 明 者

東京都小平市上水本町1450番地  
日立製作所実成工場内  
株式会社日立製作所実成工場内  
内 務 課 第 一 係

(印 1 6)

特許出願人

東京都千代田区丸の内一丁目5番1号

株式会社日立製作所  
代表者 吉 山 博

代 理 人

東京都千代田区丸の内一丁目5番1号  
株式会社日立製作所内務課  
電話東京 270-2111(大代表)  
代 表 (7257) 弁護士 澤 田 利 幸

## 明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

同一半導体基板上に互いに相反方向電圧が異なる少なくとも1つのショットキー障壁を形成する半導体装置の製造方法において、半導体表面の一部に金属を被着せしめ、熱処理して第1のショットキー障壁を形成する第1の工程と、半導体表面の他部に金属を被着して第2のショットキー障壁を形成する第2の工程とを少なくとも有する特徴とする半導体装置の製造方法。

発明の詳細を説明

本発明は半導体装置の製造方法に関し、特にショットキー障壁ダイオード(Schottky Barrier Diode、以下SBDと略称する)を有する半導体集積回路を対象とする。

トランジスタ論理回路として、従来より第3図に示すようにマルチエミッタ・トランジスタ $Q_1$ 、コレクタ側に複数のスイッチング・トランジスタ $Q_2$ 、 $Q_3$ 、 $Q_4$ を組合せたTTL(Transistor Tra-

① 日本国特許庁

## 公開特許公報

①特開昭 50-55278

④公開日 昭50.(1975) 5.15

②特願昭 48-102051

②出願日 昭48.(1973) 9.12

審査請求 未請求 (全4頁)

庁内整理番号 6851 57

6513 57

7113 57

⑤日本分類

99(5)H0

99(5)E2

99(5)D2

⑤Int.Cl<sup>2</sup>

H01L 21/72

H01L 29/48

H01L 29/08

nsistor Logic)が周知であり、かかるTTLのスイッチング速度を向上するために第5図(a)(b)に示すように各スイッチング・トランジスタのベース・エミッタ間にSBDを接続したSBD・TTLが公知である。

上記SBD・TTLはスイッチング・トランジスタのベース・コレクタ間にSBDを接続し、スイッチング・トランジスタのコレクタ・ベース間電圧をSBD順方向電圧 $V_F$ でクランプし、必要以上にトランジスタが飽和状態となることを抑止し、もつてベース蓄積電荷によるスイッチング速度低下を防止するように構成したものである。

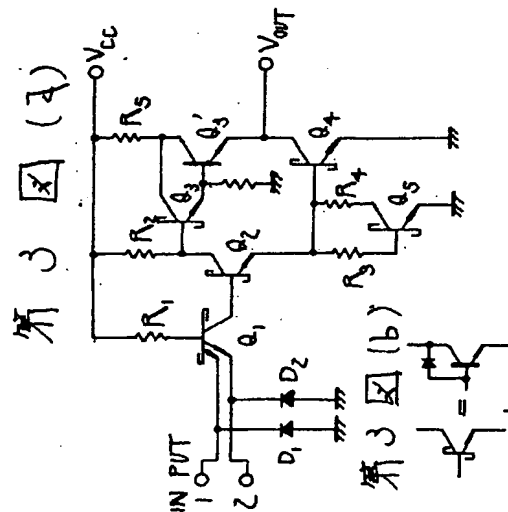
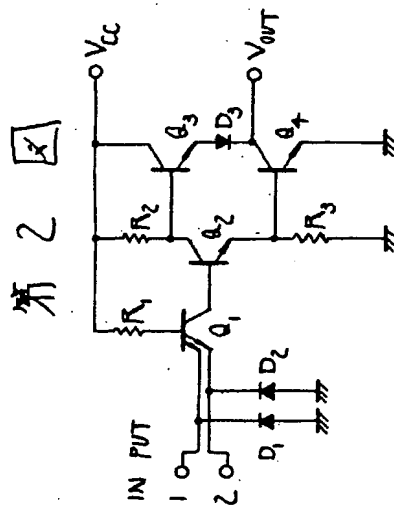
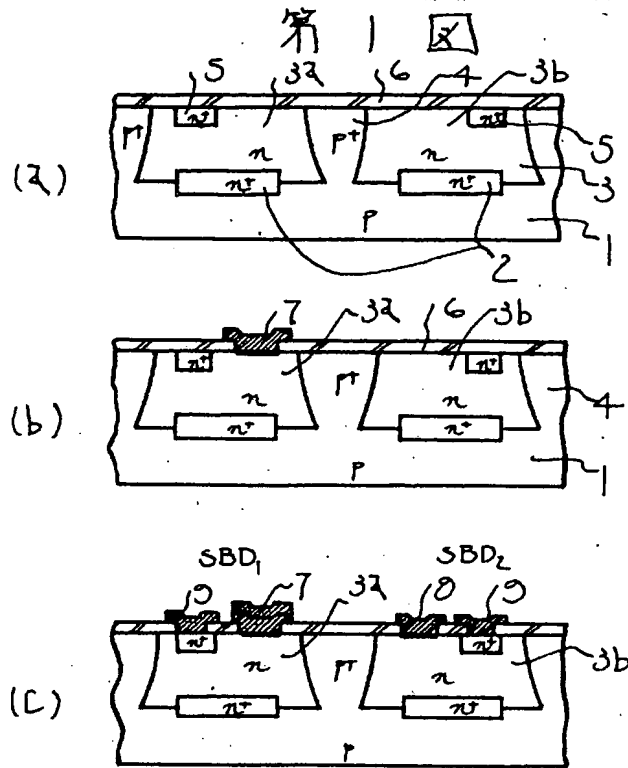
上記TTLにおいて、マルチエミッタ・トランジスタ $Q_1$ のエミッタ入力側にはクランプ用ショットキーバリアダイオード $D_1$ 、 $D_2$ がそれぞれ接続されており、かかるクランプ用ショットキーバリアダイオードは、エミッタ入力と他の論理回路の出力間を電気的に接続する配線との信号と0の信号反射および不整合による信号波形のリンキングを波形

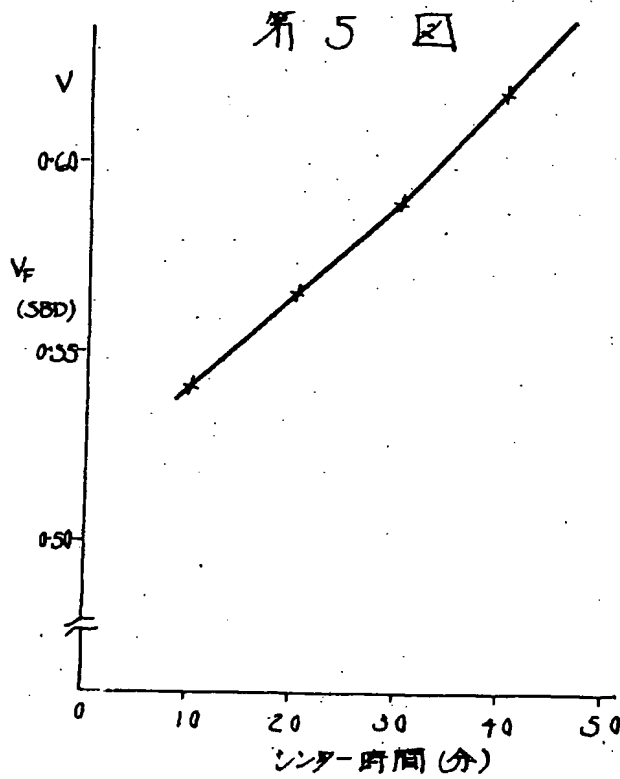
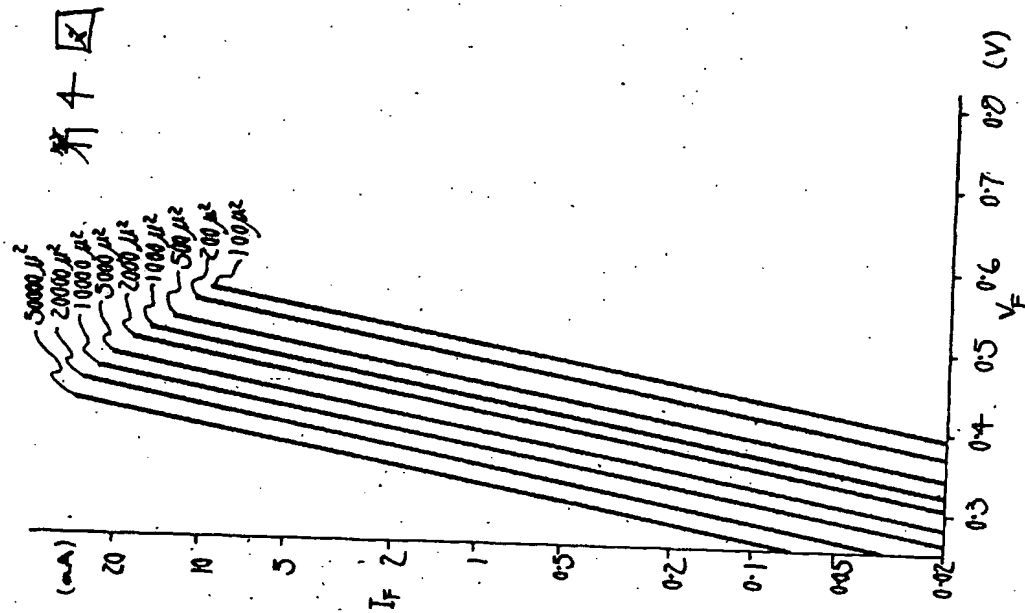


第1図は本発明による製造法における各工程の半導体装置の形成を示す断面図である。第2図および第3図はTTLおよびSBD-TTLの一般的構成を示す回路図である。第4図は各SBD回路をバウマンとする $I_p-V_p$ 曲線図、第5図は $V_p$ -シンター時間曲線図である。

1・・・p型Si基板、2・・・n型拡散層、3、3a、3b・・・n型エピタキシャルSi層、4・・・p型アイソレーション領域、5・・・n型拡散領域、6・・・絶縁膜、7・・・第1の障壁金属、8・・・第2の障壁金属、9・・・オーミック電極。

代理人 弁理士 澤田 利 幸





添附書類の目録

- (1) 特 許 書 1通
- (2) 特 許 証 1通
- (3) 発 明 要 約 1通
- (4) 特 許 願 本 1通

前記以外の発明者、特許出願人または代理人

発 明 者

〒1450 東京都小平市上水本町 1450 香地  
ヒロシタケシロウサムサンコウツクナリ  
株式会社 日立製作所東工場内  
〒1450 香地 香地 香地